

“基于 FPGA 的贪吃蛇视频游戏软件” 说明文档

1 引言

贪吃蛇作为一款经典的游戏，一直以来在街机、掌机、手机甚至家用机等多种游戏平台上都吸引着大批玩家。其主要玩法为：用游戏把子上下左右控制蛇的方向，寻找吃的东西，每吃一口就能得到一定的积分，而且蛇的身子会越吃越长，身子越长玩的难度就越大，不能碰墙，不能咬到自己的身体，更不能咬自己的尾巴，积累了一定的分数，即吃到了一定数量的食物，玩家可获得胜利。

《基于 FPGA 的贪吃蛇视频游戏软件》采用 Altera 公司的 DE2 板为硬件平台，以 Quartus II 网络版 CAD 系统为软件平台，使得经典的贪吃蛇游戏可在嵌入式平台运行。游戏采用 VGA 显示游戏界面，具有启动界面、游戏界面、胜利界面和失败界面，同时能实现游戏中暂停与继续的操作。

《基于 FPGA 的贪吃蛇视频游戏软件》特色：

- ① 嵌入式平台视频游戏，操作方便。
- ② VGA 视频显示贪吃蛇运动，数码管显示贪吃蛇所吃食物数量，游戏显示清晰直观。
- ③ 暂停/继续功能，游戏可随时中断，增强玩家游戏体验。

2 软件概述

2.1 软件运行流程概述

用户初次进入游戏，软件会显示启动界面。大约 3 秒后，软件自动进入游戏界面，用户在此界面可以通过操作 DE2 开发板上的四个按键，分别控制贪吃蛇向左、右、上、下转向，开发板上数码管用于记录蛇身长度，贪吃蛇身初始长度为 3 个方框，并缓慢向前移动，随着贪吃蛇吃到“食物”，蛇身长度逐渐增加，贪吃蛇移动速度也逐渐加快。若蛇身长度达到 16 个方块则游戏胜利，软件会显示胜利界面，并重新开始游戏；如贪吃蛇在移动过程中碰到四周“墙壁”或自身，则游戏失败，软件显示失败界面，并重新开始游戏。在游戏过程中，用户可通过开发板上的一开关

设置游戏的暂停与继续，游戏暂停时，贪吃蛇停止移动，待在原地，游戏继续后，贪吃蛇继续向前移动。

软件运行流程如图 2.1 所示。

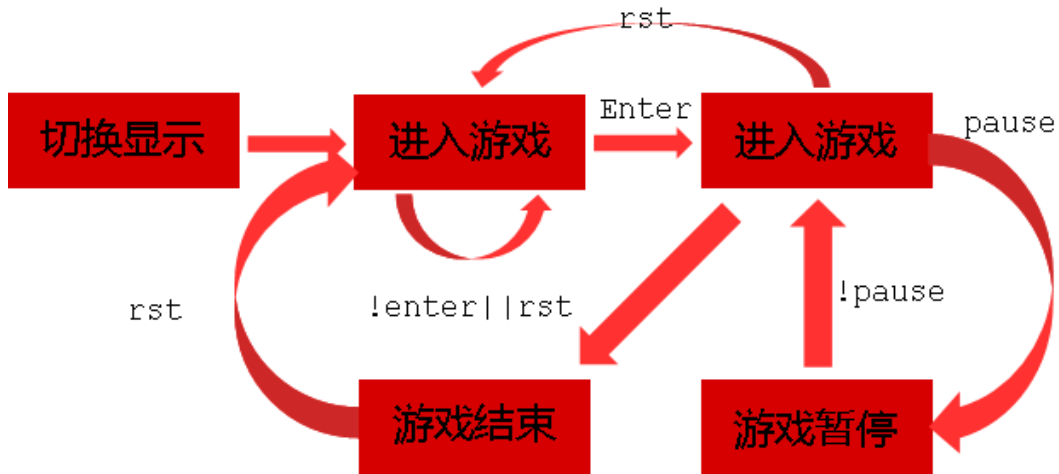


图 2.1 软件流程图

2.2 软件整体架构

本软件使用 Verilog 编程，应用 DE2-115 开发板上资源，实现贪吃蛇游戏的主要功能和一些新功能，并用开发板上 VGA 模块将显示信号输出到显示器。

软件开发架构主要分为两个模块：pll 模块（时钟模块）、snake_vgn_test 模块（游戏模块）。使用 Quartus II 开发平台自带的 RTL Viewer 生成软件顶层模块图如下：

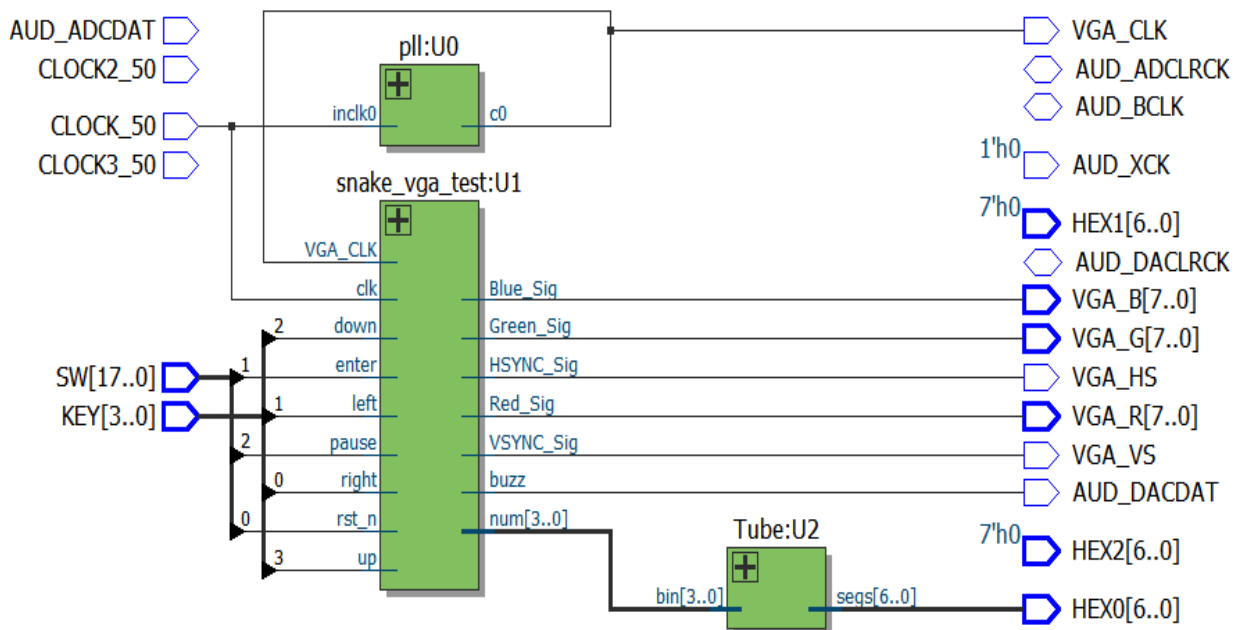


图 2.2.1 软件顶层模块图

其中 pll 模块使用锁相环生成 25MHz 时钟，作为 VGA_CLK, Tube 模块实现数码管显示得分，snake_vga_test 模块作为软件的主要模块，涵盖了游戏即时处理、VGA 信号同步与控制、状态选择等功能，其模块图如下：

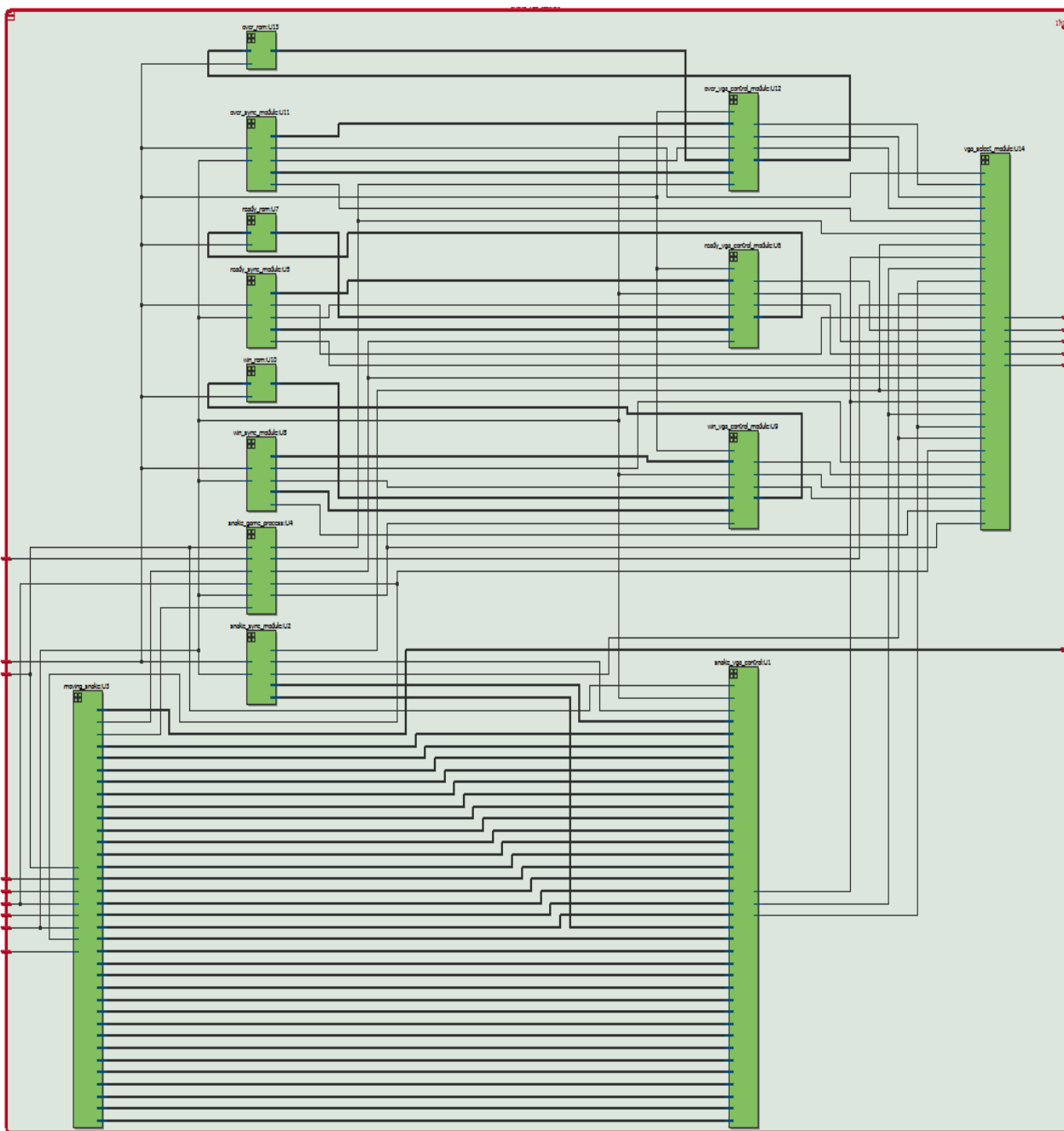


图 2.2 snake_vga_test 模块图

2.3 子模块功能

软件包括两个模块，分别为时钟模块和游戏模块，其中时钟模块主要通过锁相环

倍频为软件提供所需要的时钟，游戏模块主要实现游戏当中的各种功能，主要包括：启动界面 VGA 显示模块，游戏界面 VGA 显示模块，胜利/失败界面 VGA 显示模块，数码管显示模块，游戏状态控制模块，蛇身移动模块。

2.3.1 VGA 显示模块

启动界面 VGA 显示模块、游戏界面 VGA 显示模块、胜利/失败界面 VGA 显示模块均为界面的 VGA 显示模块，主要区别在于显示内容不同，其主要功能和结构相似，以下以启动界面 VGA 显示模块为例，说明软件显示功能。

输入量分别为时钟信号和控制信号，时钟信号由时钟模块分频产生，该信号为显示器提供 VGA 刷新频率，控制信号由游戏状态控制模块产生，该信号控制游戏界面的显示。输出量为 VGA 信号，包括 Red_Sig、Green_Sig、Blue_Sig 三种 VGA 颜色信号，以及 Rom_Addr 地址信号。图 2.3.1 显示了该模块的逻辑框图。

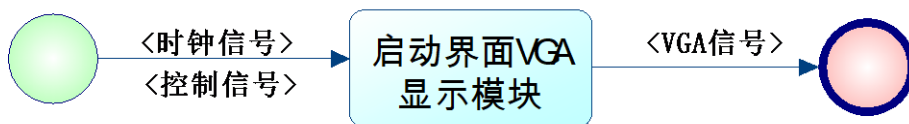


图 2.3.1 启动界面 VGA 显示模块逻辑框图

2.3.2 数码管显示模块

数码管显示模块用于显示所得分数，将十进制数通过预定义转变为二进制，分别代表 DE2-115 中数码管所显示的“0”-“9”，例如定义 SS_0 为 7'b1000000（即数码管显示 0），并在分数改变时改变数码管的显示情况。图 2.3.2 显示了该模块的逻辑框图。

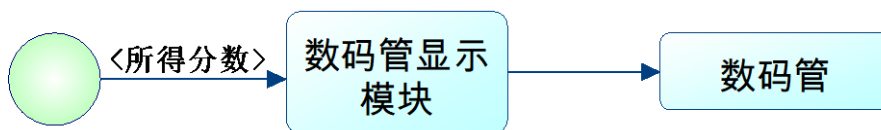


图 2.3.2 数码管显示模块逻辑框图

2.3.3 游戏状态控制模块

游戏状态控制模块起游戏的控制用，其中操作信息由游戏操作模块在一定的时钟周期内转换为寄存器数据，方便后续模块的读取。寄存器中的操作信息以及之前由 VGA 显示模块分别产生的启动界面 VGA 信号、游戏界面 VGA 信号、暂停界面 VGA 信号、胜利界面 VGA 信号、失败界面 VGA 信号构成 VGA 信号选择模块的输入量，其中操作信息作为输出 VGA 信号的选择信号，输出信号即为在显示器上最终

显示的 VGA 信号，包括 VSYNC_Sig_out（纵向同步信号）、HSYNC_Sig_out（横向同步信号）、VGA_red_out（红色信号）、VGA_green_out（绿色信号）、VGA_blue_out（蓝色信号）。图 2.3.3 显示了游戏状态控制模块的逻辑框图。

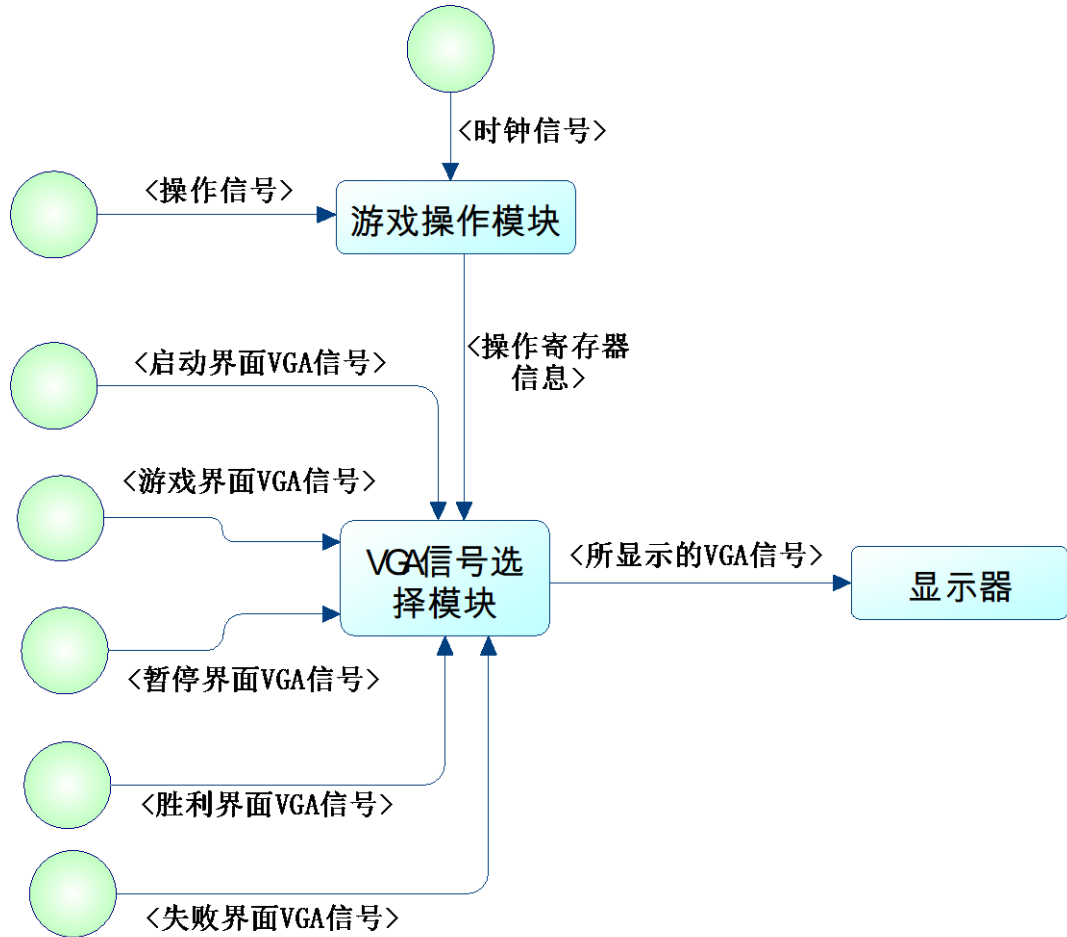


图 2.3.3 游戏状态控制模块逻辑框图

2.3.4 蛇身移动模块

蛇身移动模块定义蛇身有 16 节长，并定义伪随机数选择产生“食物”的位置，当蛇身与食物接触后，多显示一节蛇身长度，并且所得分数加一；每一个时钟周期，蛇身最后一节消失，第一节前移动方向处多显示一节，从而代表蛇身移动；当用户执行上下左右的转向操作，蛇身最前端的左或右侧在下一个时钟周期多显示一节，表示蛇身左转或右转。当蛇身达到 16 节，胜利信号计 1，代表游戏胜利，从而触发 VGA 胜利界面显示；当蛇头碰到规定的边界或者碰到自己的尾巴，失败信号计 1，从而触发 VGA 失败显示界面显示。当游戏暂停时，在相应的时钟周期内，蛇身不移动。该模块逻辑框图如图 2.3.4。

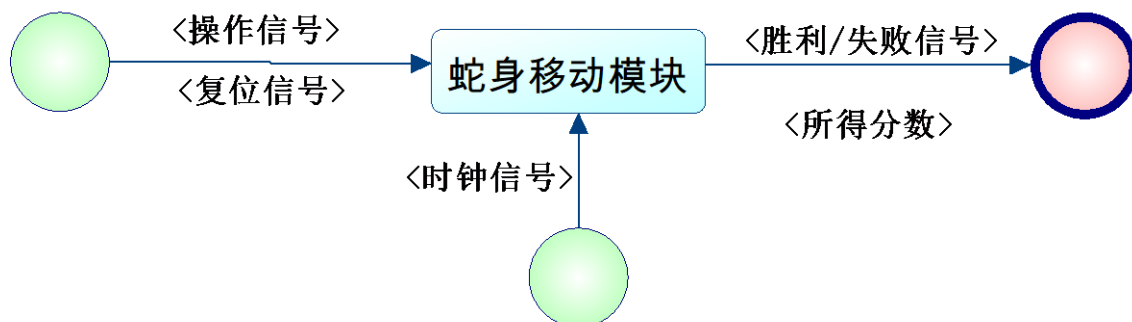


图 2.3.4 蛇身移动模块逻辑框图

3 用户界面设计

软件主题色为红色和黑色，黑色为底色，红色为蛇身和墙壁颜色。

启动界面中心为“贪吃蛇”和“snake”的字样，下端有开发者姓名，右下角是蛇的卡通形象。

游戏界面与启动界面相似，屏幕正中由橙红色的“墙”和蛇身组成，其中蛇身随时间移动，同时，软件随机产生的“食物”由橙红色的方框表示，蛇身触碰食物表示贪吃蛇吃下食物，蛇身变长，食物重新随机生成。

胜利界面的中心显示“win”，失败界面的中心显示“failure”。

图 3 展示了软件的游戏启动界面。



图 3 游戏启动界面

4 硬件环境

本软件基于 Altera 公司推出的 Cyclone 系列的 DE2-115 开发平台所开发，此款开发平台是一个低功耗，拥有丰富逻辑资源，大容量存储器，丰富的外围接口的开发平台。其具体配置如下：

FPGA 配置

- 114,480 个逻辑单元
- 432 M9K 内存模块
- 3,888 Kbits 嵌入式存储器位
- 4 个锁相环
- 同时支持 JTAG 模式和 AS 模式
- 提供系列配置器件——EPCS64
- 内建 USB Blaster 电路

存储器配置

- 128MB (32Mx32bit) SDRAM
- 2MB (1Mx16) SRAM
- 8 位 8MB (4Mx16) Flash 存储器，配置为 8-bit 工作模式
- 32Kb EEPROM

连接器配置

- 2 个 10/100/1000 以太网接口
- 1 个 HSMC
- 可配置的 I/O 标准 (电平: 3.3/2.5/1.8/1.5V)
- A 型和 B 型 USB 接口
- 40 针扩展口
- 可配置的 I/O 标准(电平: 3.3/2.5/1.8/1.5V)
- VGA 输出接口
- VGADAC (三通道高速视频 DACs)
- 带有流控制 RS-232 界面，提供 DB9 连接接口
- 提供 PS/2 鼠标/键盘连接器

开关和七段数码管

- 18 个滑动开关和 4 个按钮开关
- 18 个红色和 9 个绿色 LEDs
- 8 个七段数码管

图 4.1 和图 4.2 显示了 DE2-115 开发板的实物图。

基于 FPGA 的贪吃蛇视频游戏软件 v1.0

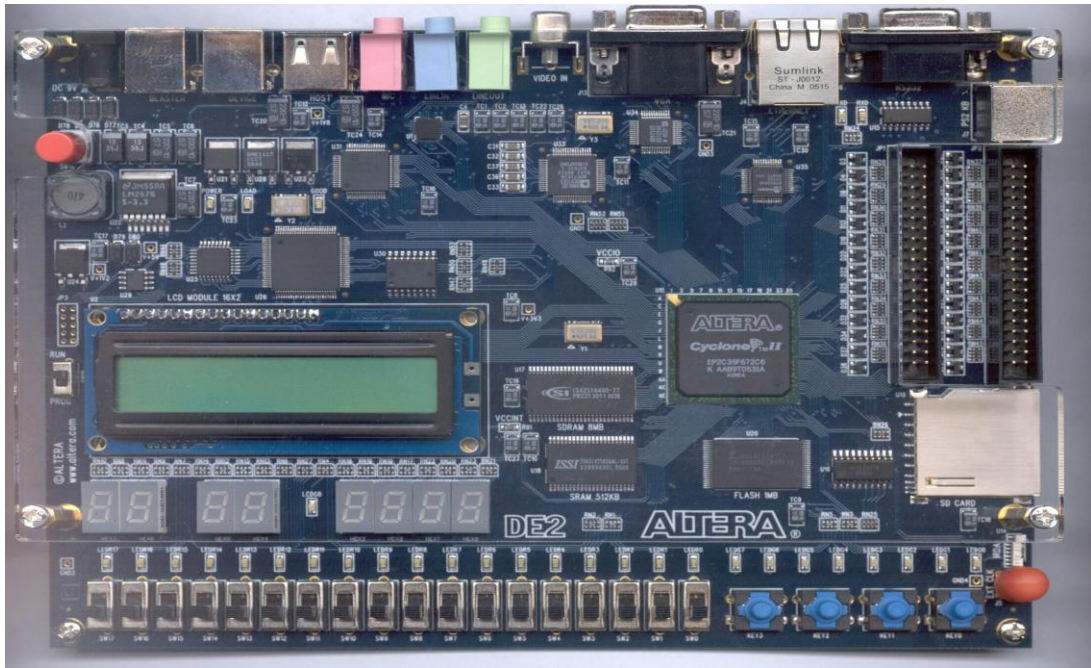


图 4.1 DE2-115 开发板的正面实物图

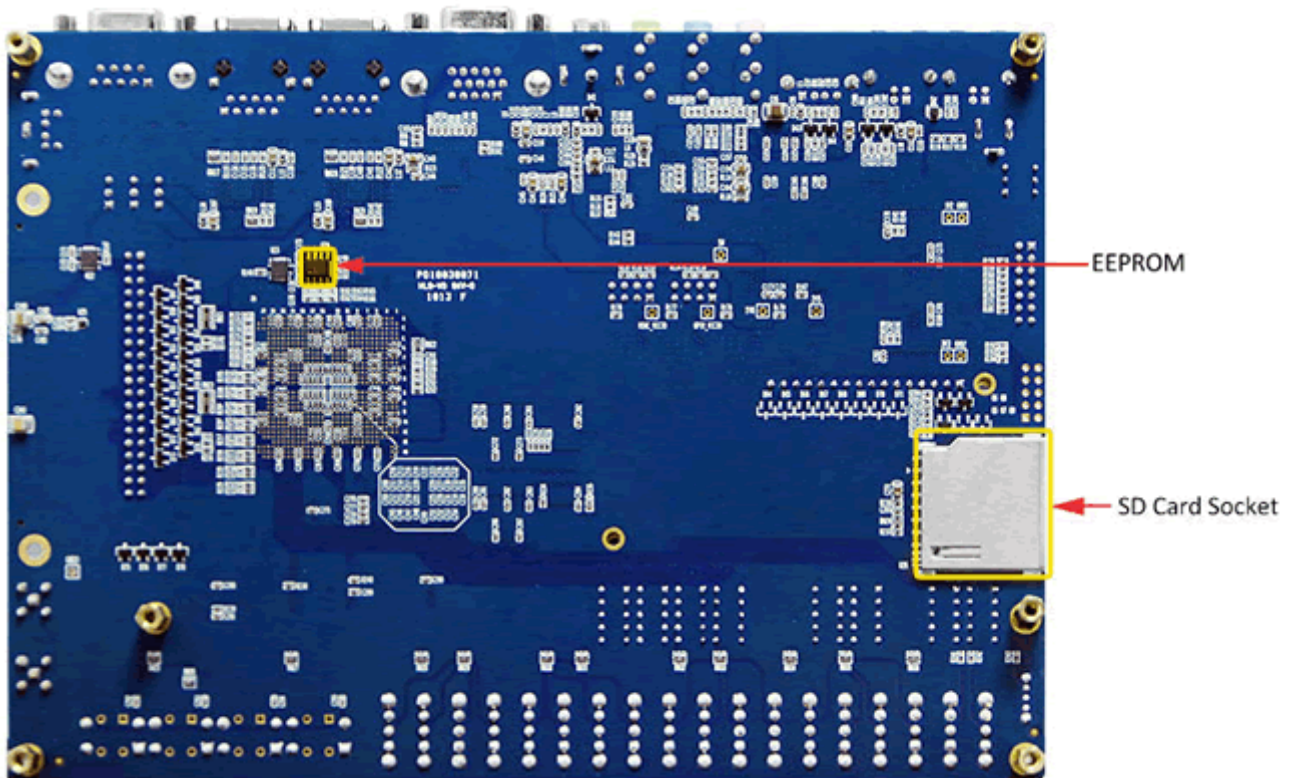


图 4.2 DE2-115 开发板的背面实物图

附录

表 1 术语定义及说明

序号	术语或缩略语	说明性定义
1	FPGA	Field-Programmable Gate Array, 即现场可编程门阵列, 作为专用集成电路 (ASIC) 领域中的半定制电路。
2	VGA	Video Graphics Array, 视频图形阵列, 一种视频传输标准, 具有分辨率高、显示速率快、颜色丰富等优点, 支持热插拔, 在彩色显示器领域得到了广泛的应用。
3	CAD	Computer Aided Design, 计算机辅助设计, 指利用计算机及其图形设备帮助设计人员进行设计工作。
4	Altera 公司	阿尔特拉公司, 是世界上“可编程芯片系统”(SOPC) 解决方案倡导者。
5	Quartus II	Altera 公司的综合性 PLD/FPGA 开发软件。
6	Verilog	一种硬件描述语言, 以文本形式来描述数字系统硬件的结构和行为的语言, 用它可以表示逻辑电路图、逻辑表达式, 还可以表示数字逻辑系统所完成的逻辑功能。
7	PLL	Phase Locked Loop, 锁相环, 用来统一整合时脉讯号, 用于振荡器中的反馈技术, 使高频器件正常工作。
8	RTL	Register Transfer Level, 寄存器转换级电路, 用于描述同步数字电路操作的抽象级。